

РП2: Многопроцесорни комуникационни мрежи за PetaFLOPS суперкомпютри

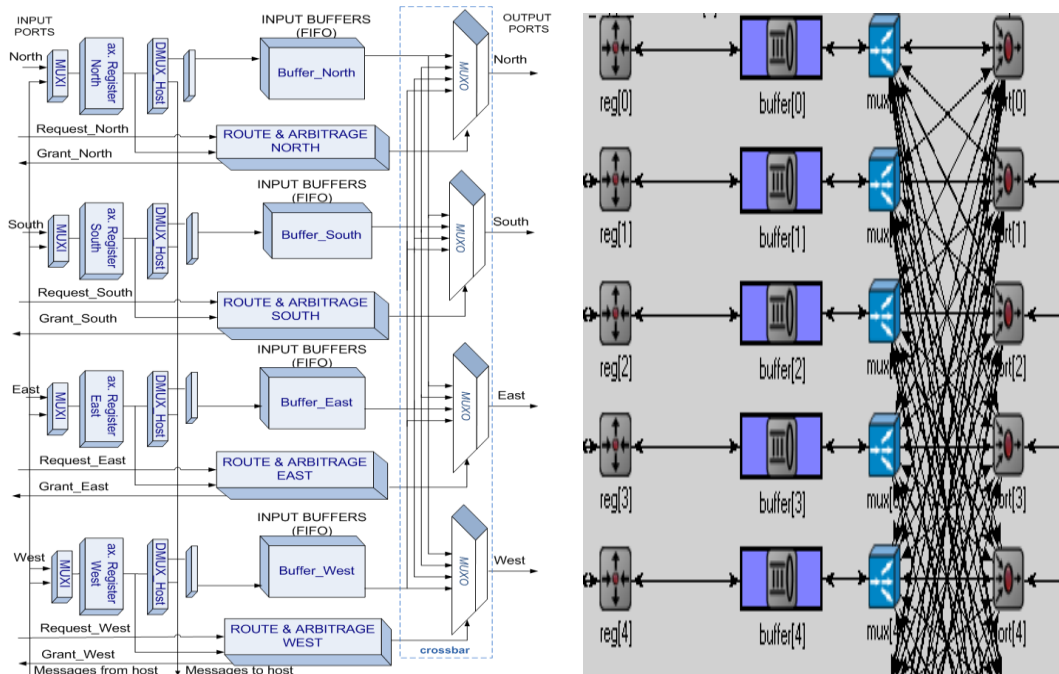
1. Основни дейности и резултати

Задача 2.1: Проектиране топологията на свързващата мрежа: мрежова симулация и измерване на параметрите. На базата на моделиране и симулация на системни комуникационни мрежи, свързващи от няколко десетки до хиляди входа и изхода, бе направен компаративен анализ на динамичните параметрите на най-често използваните топологии – K-ary n-cube, 3D Torus, High Radix Clos Network, Fat Tree, Flattened Butterfly и TOFU. Анализът показва, че перспективните мрежи за изграждане на суперкомпютърни системи са High Radix Clos Network и нейните модификации, както и комбинацията от Fat Tree и йерархичен управляем кросбар. Предложен е нов подобрен архитектурен проект на високоскоростен комутатор. Направена е оценка на комуникационната производителност на предложени архитектурен проект, като са проведени експерименти при различен размер на пакетите, трафик на разпределение на пакетите в мрежата и радиус на комутатора. Изследвани са и са анализирани многоядрените процесори, Tile64 и PicoArray и на база задълбочен сравнителен анализ е определена елементната база за изграждане на комутатор на свързваща мрежа, на основата на вграден многоядрен процесор, който да осигури ниска латентност и висока пропускателна способност, особено за потокови мултимедийни, мрежови и графични приложения. Като резултат от дейността по РП2 до момента е проектиран и имплементиран “IBM Blade Center”, с хардуерна платформа, изградена на базата на: Blade Server HS22, 2xXeon Quad Core E5504 80w 2.00GHz/800MHz/4MB L2, 3x2GB и три броя високопроизводителни Blade сървъри, HS21, Xeon Quad Core E5405 80w 2.00GHz/1333MHz/12MB L2, 2x1GB Chk, O/Bay SAS с дискова подсistema IBM System Storage DS3400 Single Controller и твърд диск за дискова подсistema IBM 750GB Dual Port HS SATA HDD с шаси за специализиран Blade Center, IBM eServer BladeCenter(tm) H Chassis и записващо устройство 2x2900W PSU UltraSlim, мрежов комутатор за шаси за Blade Center, BNT Layer 2/3 Copper Gb Ethernet Switch Module, оптичен комутатор за шаси за специализиран Blade Center, Brocade(R) 10-port 4 Gb SAN Switch Module с модул за оптичен комутатор IBM Short Wave SFP Module, заедно с необходимото окабеляване, специализиран шкаф за Blade Center, NetBAY S2 42U Standard Rack Cabinet и специализирано у-во за хранване Ultra Density Enterprise C19/C13 PDU Module (WW), която платформа се използва за тестване и оценка на комуникационните параметри на разработените паралелни модели.

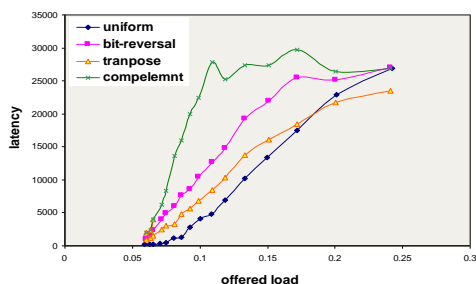
Екипът отговорен за изпълнението по задачите на РП2 има необходимите умения и подготовка за работа със софтуерната среда, инсталирана на “IBM Blade Center”, разположен в лабораторията по „Високопроизводителни изчисления и технологии ГРИД на катедра „Компютърни Системи”, ТУ-София.

Разработен е подобрен архитектурен проект на високоскоростен конвейеризиран комутатор XR допълнителен порт за хост. порта и маршрутизация с връзване „дупка на червея. Архитектурата на комутатора (фиг. 1) е модулна с регулярна структура. Изследвани са динамичните характеристики на предложени комутатор на основата на симулационни експерименти в средата на мрежов симулатор на дискретни събития OMNeT++. Изследвани са и са анализирани четири пространствени разпределения на мрежовия трафик за системна мрежа с топология решетка и алгоритъм за маршрутизация „DOR”: равномерно, инвертиране на битове, транспониране и комплементарен трафик. Времето разпределение на генерираните трафици в направената симулация е експоненциална функция, представлява хомогенен Поасонов процес.

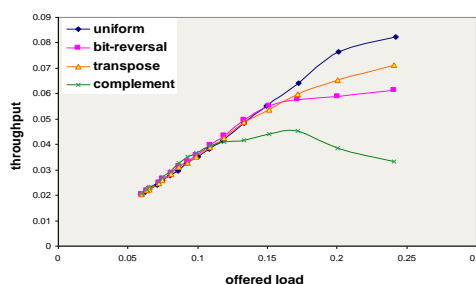
Получените резултати показват, че при мрежов трафик с равномерно пространствено разпределение латентността нараства по-бавно с увеличаване на предложени товар в сравнение с останалите трафици. Мрежовата пропускателна способност е най-добра (точката на насищане се достига по-бавно) при равномерно разпределение. При комплементарен трафик и DOR маршрутизация се наблюдава изчерпване на капацитета на комуникационните канали по X направлението, преди флитовете да могат да достигнат завой по Y. За трафиците транспонирана матрица и реверсиране на битове се наблюдава висока вероятност за използване на едни и същи канали, което е обяснение за влошаване на параметрите на мрежовата комуникационна производителност.



Фигура 1. Архитектурен проект на високоскоростен комутатор XR.

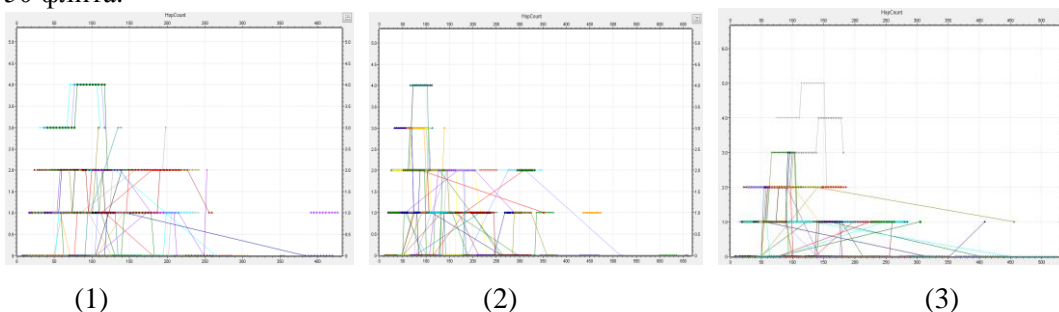


Фигура 2: Латентност при различни пространствени разпределения



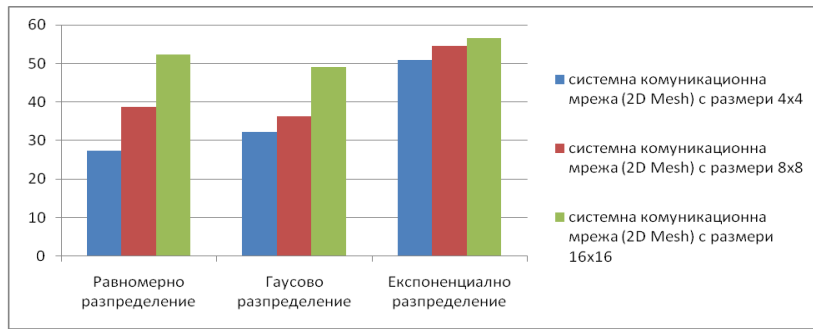
Фигура 3: Пропускателна способност при различни пространствени разпределения

Изследвани са и са анализирани динамичните характеристики на високоскоростен разширен комутатор XR 8x8 и системната мрежа свързана в топология двумерна решетка 2D Mesh, като комутаторите са подредени в матрица NxN. Всеки от тях е свързан с осем съседни комутатора и това са съседните по осите X и Y и по двата диагонала, като за целта е избран OMNeT++ за симулационна платформа. Тестове и изследванията са проведени за три вида разпределение на пакетите във времето: равномерно, гаусово и експоненциално, всяко от тях се изпробва при размери на мрежата 4x4, 8x8 и 16x16 като всеки от хостовете генерира по 2000 пакета с размер на пакета 50 флита.



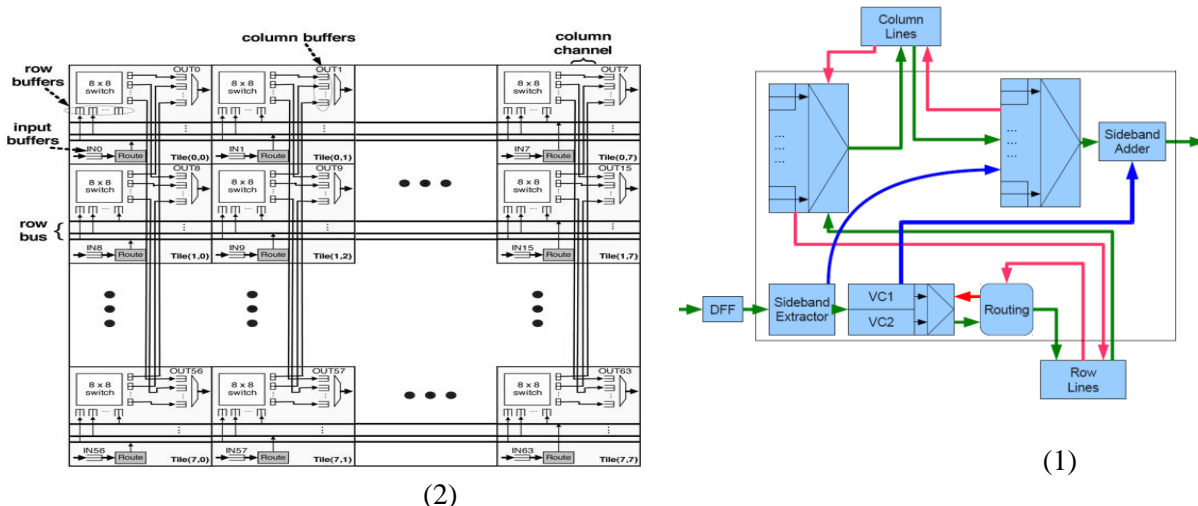
Фигура 4: Брой на стъпките на комутация (Hop count) за размер на мрежата 4x4 при: (1) равномерно разпределение; (2) гаусово разпределение; (3) експоненциално разпределение

Резултатите получени за средните закъснения по системна комуникационна мрежа с размери 4x4, 8x8 и 16x16 за съответните разпределения са представени на фиг.5.



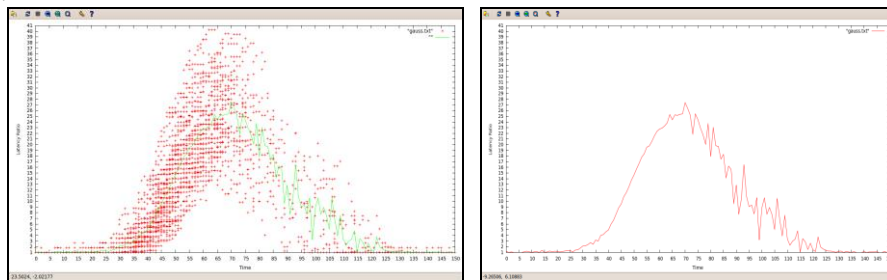
Фигура 5: Латентност на системна комуникационна мрежа (2D Mesh) с размери 4x4, 8x8, 16x16

Изследвани са и са анализирани динамичните характеристики на комутатор от тип „YARC“ за равномерно и гаусово разпределение на трафика. Мотивацията за използването на YARC чипа суперкомпютърните мрежи е свързан с адаптивността на архитектурата му към ограниченията, наложени от модерните ASIC технологии, а именно голям брой връзки и ограничен брой буфери. Тестовите и изследванията са проведени в среда на OMNET++, като чипът YARC е моделиран като мрежа от плочки. Компонентите на модела са: DFFlipFlop, SidebandExtractor, TileInputQueues, RoutingLogic, RowLines, RowBufferArray, ColumnLines, ColumnBufferArray, SidebandAdder.



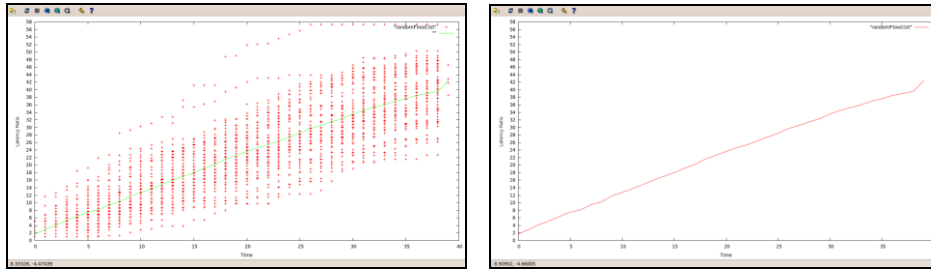
Фигура 6: Архитектура на YARC чип (1) и OMNET модел на YARC чип (2)

Зелените линии в схемата (фиг. 6.2) визуализират пътя на флита; Червените линии са вътрешни старт/стоп сигнали. От направените изследвания по отношение на латентността се наблюдават ниски стойности на закъснението при гаусово разпределение на 2000 пакета с размер на пакета 20 флита (фиг.7).

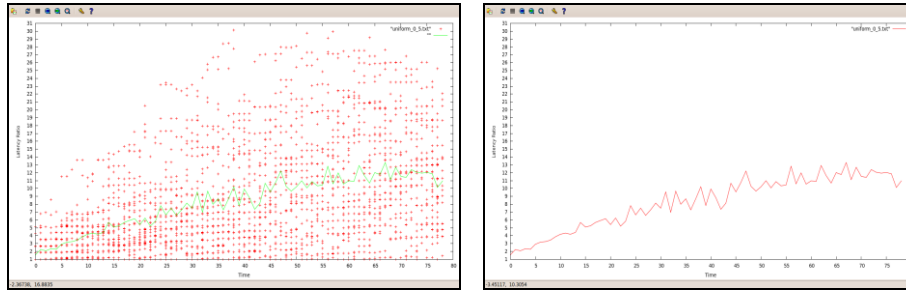


Фигура 7: Латентност на комутатор от тип YARC при гаусово разпределение на трафика

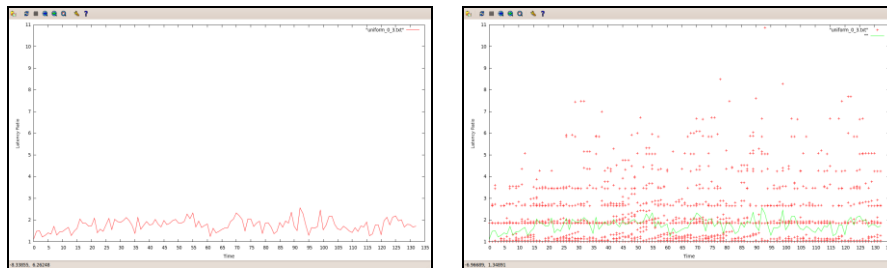
Направени са изследвания по отношение на латентността на чипа YARC за равномерно разпределение на трафика с 100% вероятност, 50% вероятност и 30% вероятност, като резултатите получени при вероятност 100% са възможно най-лошия случай, при които се наблюдава линейно нарастване на закъснението с времето. Резултатите за равномерно разпределение на трафика с 50% вероятност показват значително по-слабо нарастване (фиг. 9).



Фигура 8: Латентност на комутатор от тип YARC при равномерно разпределение (100% вероятност)

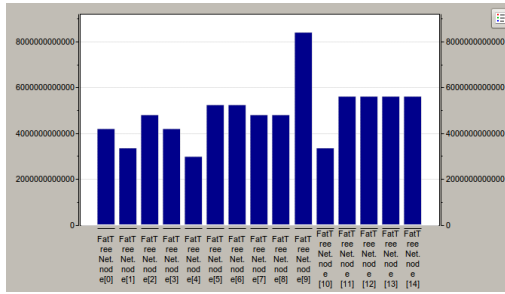


Фигура 9: Латентност на комутатор от тип YARC при равномерно разпределение (50% вероятност)

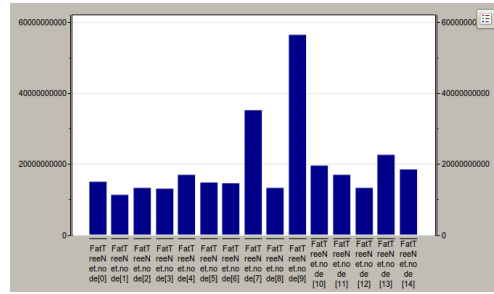


Фигура 10: Латентност на комутатор от тип YARC при равномерно разпределение (30% вероятност)

Резултатите за равномерно разпределение на трафика с 30% вероятност показват, че закъснението спира да расте и се наблюдава точка на насищане за вероятност между 30% и 50 % (фиг. 10). Изследвани са и са анализирани динамичните характеристики на системната комуникационна мрежа с топология дебело дърво (Fat Tree) базирана на комутатор от тип YARC на основата на симулационни експерименти в средата на Omnet++. Алгоритъмът за маршрутизация използва маршрутизиращи таблици, които се попълват при инициализацията на мрежата и след това не се променят. Самите посоки се свързват с определени портове на комутатора, както следва: Нагоре – порт 0, порт 1, порт 2; Наляво – порт 2, порт 3, порт 4; Надясно – порт 5, порт 6, порт 7. Оценките на параметрите на комуникационната производителност за режим на персонализирана глобална комуникация (Gossiping) и за трафик Ping-pong при 2000 съобщения са показани на фиг.11, като очевидно, комуникационната производителност при Gossiping превъзхожда тази при Ping-pong. Изследвани са и са анализирани динамичните характеристики на високоскоростен разширен XR комутатор 16x16. Скалируемостта на този комутатор позволява изграждане на реални големи системни мрежи с разнообразни алгоритми на рутване. Симулационният модел на комутатора (фиг.12) в средата на Omnet++ обхваща следните модули: inRegister; Queue; outPort; HostArbiter; Clock. Синхронизацията между отделните модули е реализирана на ниво Request Grant съобщения. Направени са симулационни експерименти при равномерно, гаусово и експоненциално разпределение на пакетите в трафика при 2000 пакети и размер на пакета 256 флита.

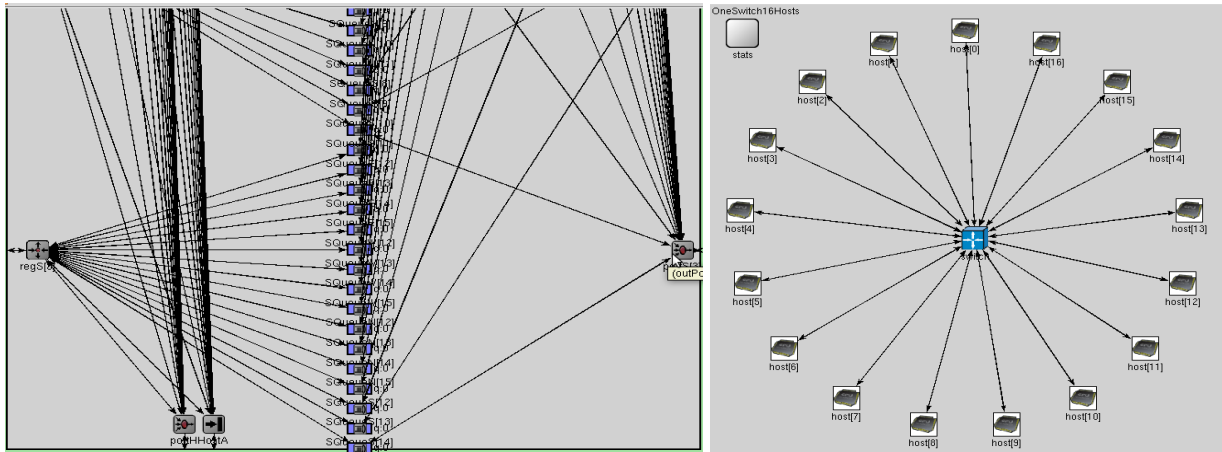


(1)

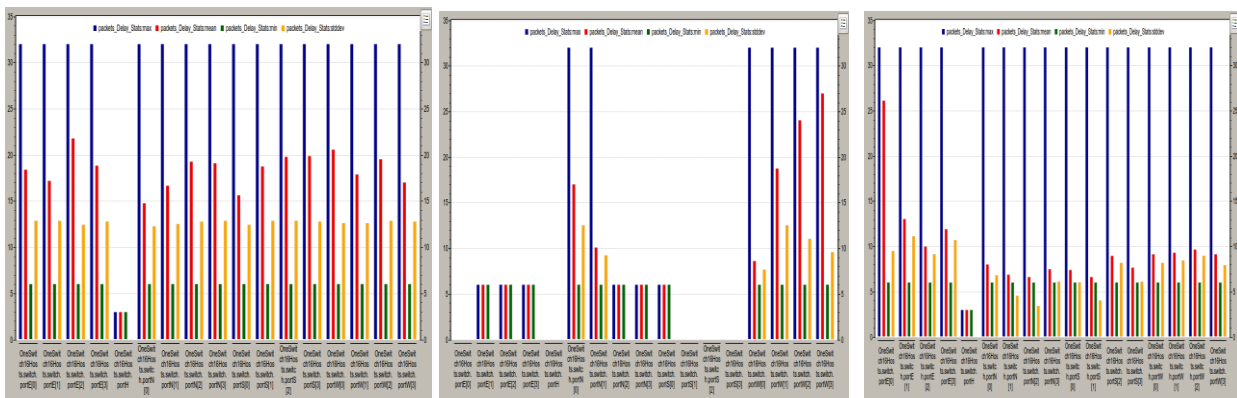


(2)

Фигура 11: Хистограми със стойностите на пропускателната способност при глобална персонализирана комуникация (Gossiping) (1) и Ping-pong (2) на 2000 съобщения



Фигура 12: а) Ned файл на комутатор 16x16; б) Network.ned - 1 switch 16+1 host (модул Stats) за извеждане на резултати



а) Равномерно Разпределение б) Гаусово Разпределение в) Експоненциално Разпр.
 Средно закъсн. за порт: 15.6959 Ср. закъсн. за порт: 7.4535 Ср. закъсн. за порт: 8.4780
 Време: 248375 Време: 494102 Време: 443813

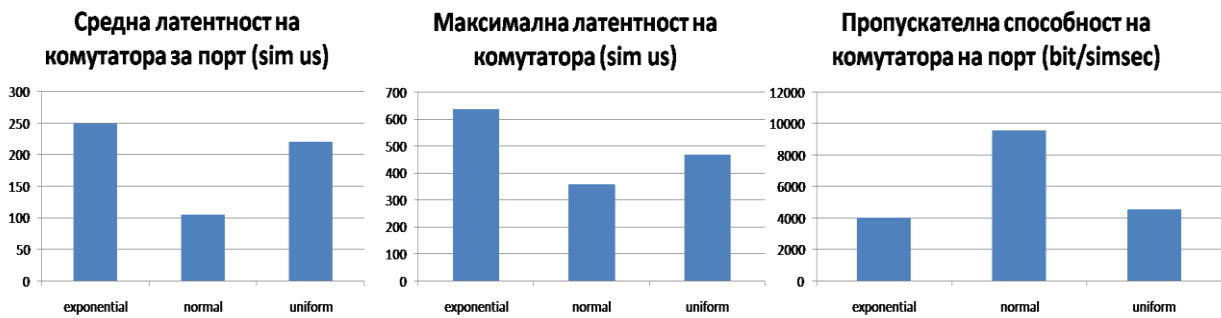
Фигура 13: Латентност за порт – max, mean, min, stddev

При равномерно разпределение всеки пакет има произволна дестинация в диапазон 0-16, като е избегнато изпращането на пакети от хост към себе си. Резултатите за закъснение на съобщение са в диапазон 6-32ms като изключение прави PortN. Това се дължи на небуферирания му вход. Натовареност на порт е се получава като резултат от броя изпратени пакети разделени на времето за симулация (Packets/ms). Гаусовото разпределение е с параметри (8, 1.5), а експоненциалното разпределение с параметри (8, 0.66). Броят пакети е предварително зададен – 2000. При гаусово и експоненциално разпределение портовете са натоварени неравномерно. Поради това общото време за изпълнение е значително по-голямо (приблизително 2 пъти).

Изследвани са и са анализирани динамичните характеристики на високоскоростен разширен комутатор XR 32x32 (фиг.14):



Фигура 14: Разпределение на средното закъснение на изходите на комутатора XR

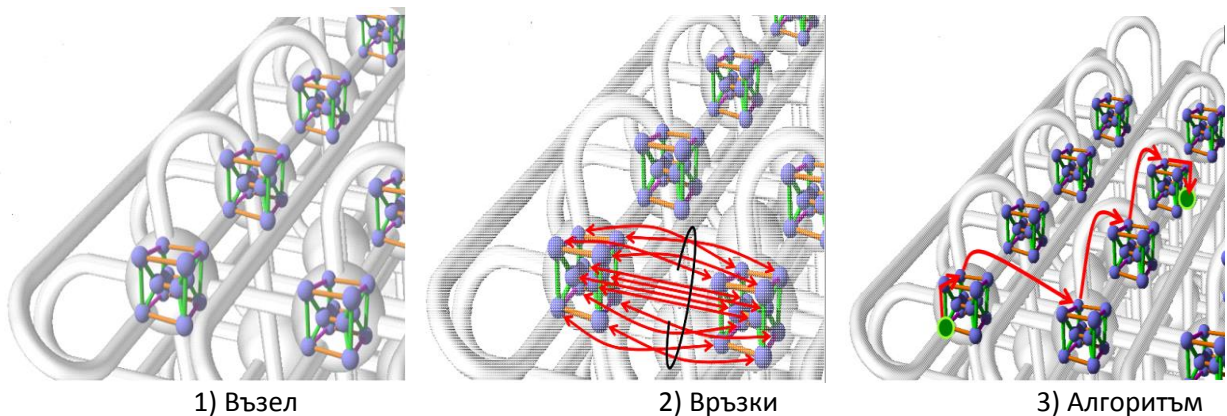


Фигура 15: Параметри на комуникационната производителност на комутатор XR 32x32

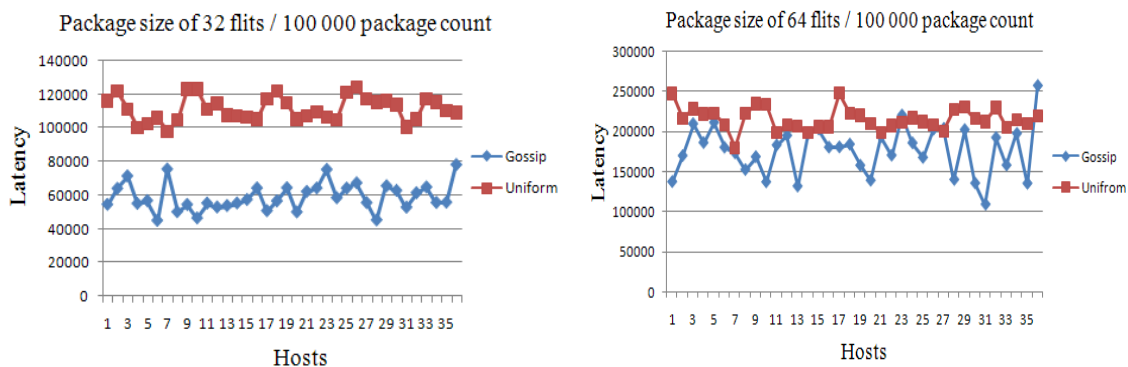
Анализът на получените резултати показва, че най - добра пропускателна способност и съответно най-ниска латентност на комутатора се наблюдава при Гаусово разпределение на трафика.

От получените до момента резултати и направените анализи може да се заключи, че предложения архитектурен проект на високоскоростен комутатор 4x4 и неговите разширения - комутатор 8x8, 16x16 и 32x32 показват добри динамични характеристики за различни разпределения на трафика и могат да бъдат използвани като компонент при изграждане на системни комуникационни мрежи за суперкомпютри.

Изследвани са динамичните характеристики на ТОФУ (6D Mesh/Torus) системна мрежа (фиг.16). Изследванията са проведени при равномерно и „gossip” разпределение на трафика в мрежата, за размер на пакетите 32 и 64 флита и при 100000 брой пакети.



Фигура 16: ТОФУ системна мрежа



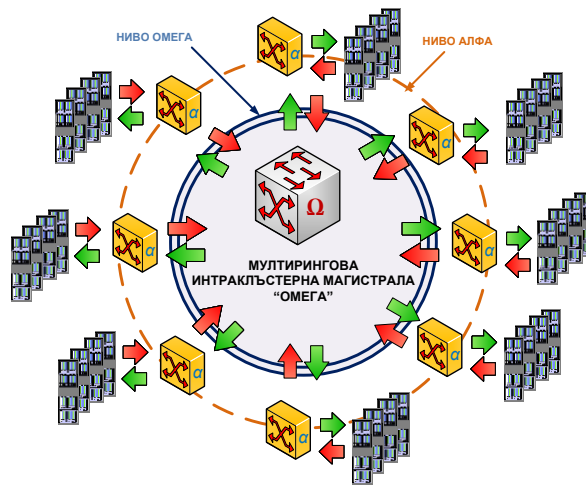
Фигура 17: Латентност за порт

Получените резултати при симулационните експерименти (фиг.17) показват по-ниска латентност при глобална персонализирана комуникация (gossip) в сравнение с равномерното разпределение на трафика в мрежата, което се дължи на факта, че при “gossip” съобщенията се изпращат от всеки възел до всички останали, от което следва, че броят на дестинациите, които се достигат с много малък брой хопове е много голям. По този начин по-голямата част от закъсненията стават много по-малки и така общата латентност има по-ниска стойност.

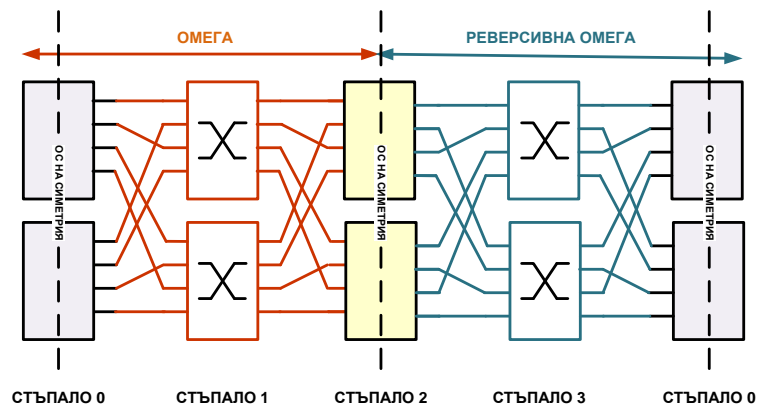
По отношение на производителността на системните комуникационни мрежи, се очертава ярко необходимостта от изграждането на нов архитектурен дизайн на комуникационна мрежа, която да удовлетворява изискванията на високопроизводителните компютърни системи и да осигурява ниска латентност и висока пропускателна способност.

Предложена е йерархична архитектура на високоскоростна системна комуникационна мрежа “ $\alpha\Omega$ HIGHWAY” на две нива: ниво Омега и ниво Алфа. Нивото Омега представлява мултирингова интракълъстерна магистрала, която осигурява алтернативни маршрути при отказ на комуникационните ресурси посредством рециркулация на мрежовия поток. Нивото Омега е изградено на базата на многостъпална комуникационна мрежа с циклична структура и не съдържа единични точки на отказ. Компютърният клъстер е разделен на S клъстерни сегменти. Мултиринговата интракълъстерна магистрала Омега осигурява комуникацията между клъстерните сегменти (интерсегментна комуникация). Тя е изградена от комутатори XR (eXtended Radix), всеки от които е директно свързан със съответен клъстерен сегмент, за който комутатора осигурява входни и изходни връзки към интракълъстерната магистрала. Комуникацията между изчислителните възли в рамките на всеки клъстерен сегмент се осъществява от нивото за интрасегментна комуникация Алфа. Нивото Алфа обхваща комутатори с архитектура YARC (матрици от комутатори кросбар).

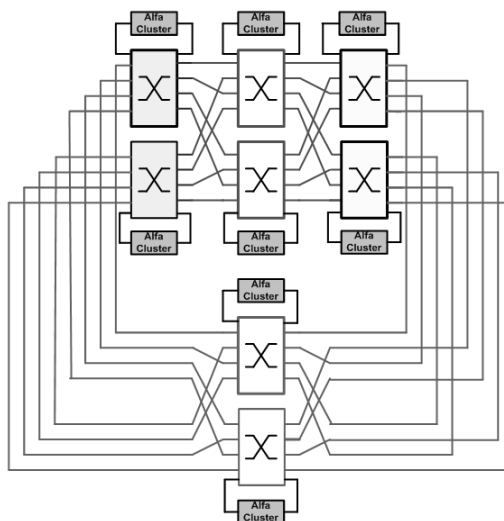
Топологията на мултиринговата интракълъстерна магистрала ОМЕГА се базира на топологията на двустранна многостъпална мрежа Омега. Мрежа, синтезирана посредством конкатенация на мрежа Омега и реверсивна мрежа Омега (огледален образ), е безконфликтна (неблокираща) за сметка на добавянето на нови стъпала. За да повишим надеждността на мрежата и да осигурим толерантност при откази на комуникационни ресурси се синтезира циклична структура като се припокриват първото и последното стъпало на неблокиращата Омега. Към всеки комутатор на цикличната Омега се прибавя поне един входен и поне един изходен порт за свързване с определен сегмент на компютърния клъстер. По този начин се трансформира изходната индиректна мрежа Омега в директна циклична мрежа Омега. На мястото на хоста се свързва клъстерен сегмент посредством комутатор YARC.



Фигура 18: Архитектурата на системната комуникационна мрежа “ Ω HIGHWAY”

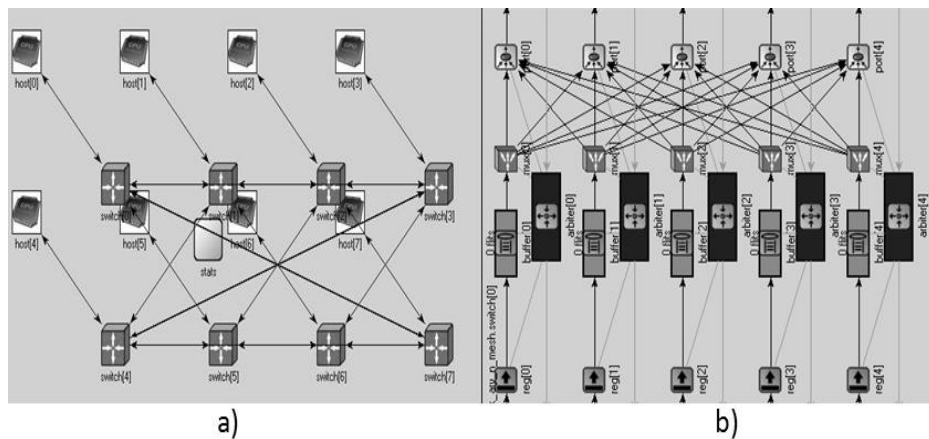


Фигура 19: Топология на мултирингова мрежа Омега

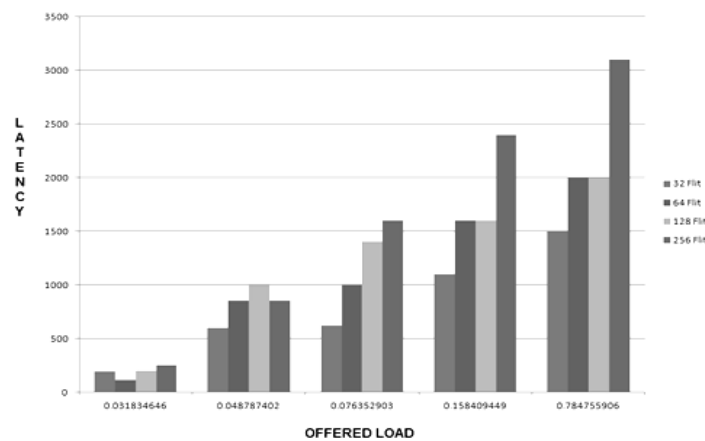


Фигура 20: Директна мрежа Омега с мултирингове

Синтезирани са симулационни модели на мултиринговата мрежа и комутатора XR в средата на OMNET++. Оценени са динамичните параметри на комуникационната производителност на предложената системна мрежова архитектура на основата на симулационни експерименти (фиг.22). Резултатите по изпълнението на тази задача са представени в [BK_12], [BKH_12].



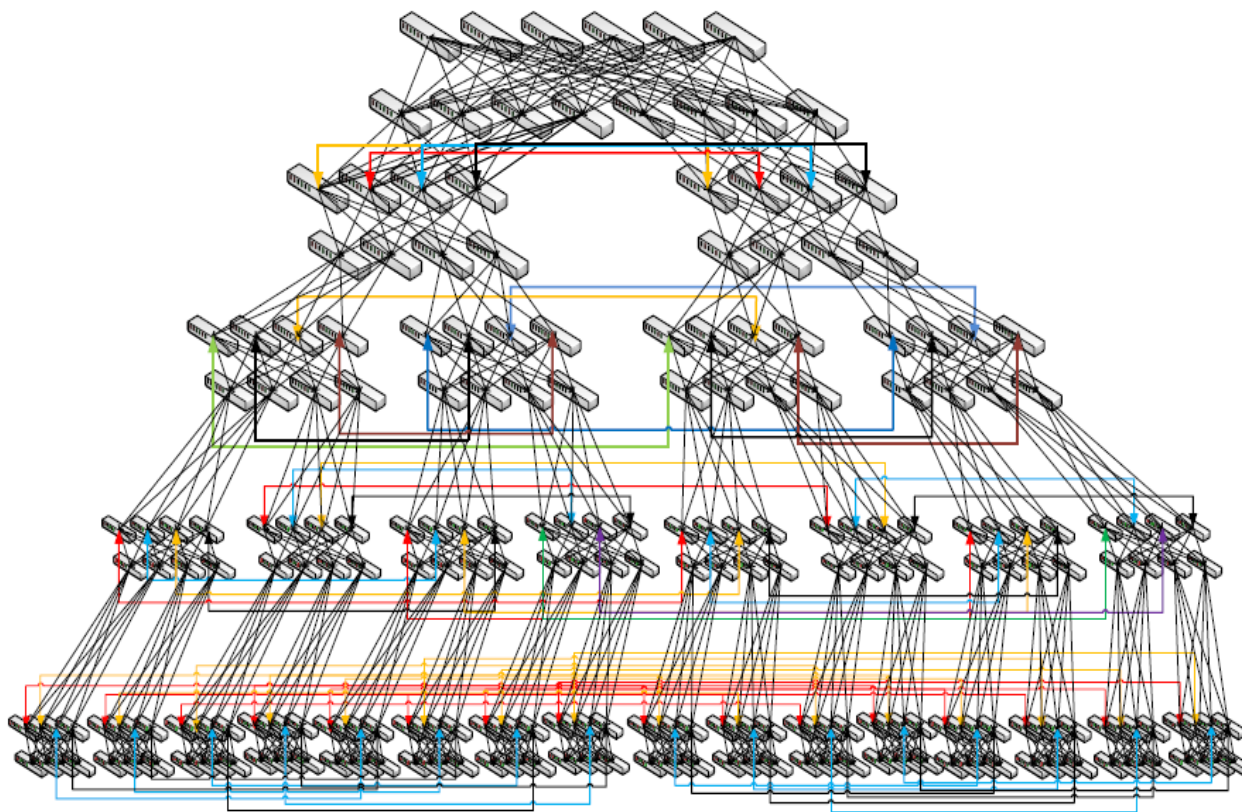
Фигура 21: Симулационни модели в средата на OMNET++
 а) на мрежата Омега; б) на комутатора SR



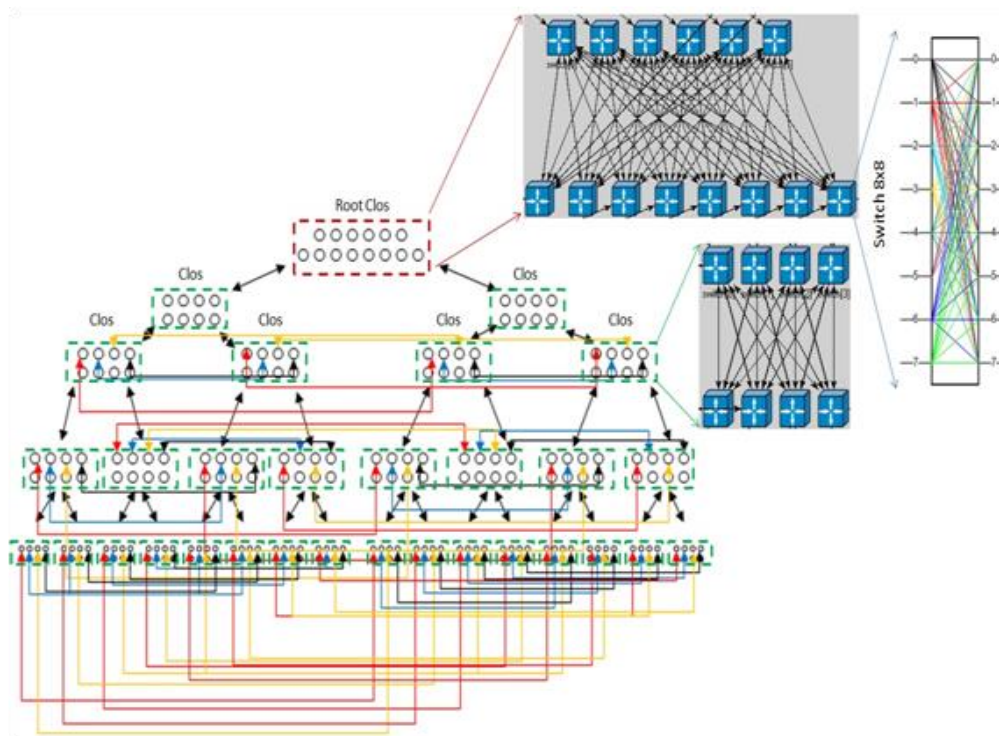
Фигура 22: Латентност в зависимост от мрежовия комуникационен товар

Предложен е нов иновативен архитектурен дизайн за колективна комуникация с топология ГРАНД-КЛОС за суперкомпютри, който да осигурява добри стойности на комуникационните параметри. Предложеният нов архитектурен дизайн за колективна комуникация с топология ГРАНД-КЛОС е хибриден дизайн, изграден от мрежи с топологии „Дебело Дърво“ и „Клос“, фиг. 24. Новият дизайн на топология се състои от няколко свързани Клоса, в топология „Дебело Дърво“. Най-важната част на новия архитектурен дизайн е наличието на хоризонтални връзки между възлите на „Дебело Дърво“ на същото ниво. Тези хоризонтални връзки минимизират комуникационните разходи и необходимия брой стъпки при колективните комуникации.

В предложения нов архитектурен дизайн „Гранд-Клос“ за колективна комуникация, хоризонталните връзки помагат в колективните комуникацията между отделните части на мрежата, намаляват натовареността на корена и броя на стъпките при колективните комуникации, което води до увеличаване на пропускателната способност и до намаляване на латентността в „Гранд-Клос“ мрежата. В допълнение, връзката между Клосовете е надеждна, защото всеки има връзка с другите посредством кросбар. Основната идея е да се използват предимствата на двете топологии в изграждането на новия хибриден дизайн за колективна комуникация с допълнителна иновация свързана с добавяне на хоризонтални връзки между възлите на „Дебело Дърво“ на същото ниво. Архитектурата на системна мрежа за колективна комуникация „Гранд-Клос“ (фиг.24, фиг.25), ускорява трансфера на пакетите благодарение на добавените хоризонтални връзки. Динамичните параметри на комуникационната производителност са оценени на базата на симулационни експерименти в средата на OMNET++ за трафик с нормално, експоненциално и равномерно разпределение на пакетите. Резултатите от изпълнението на задачата ще бъдат представени в [I_13, VI_13].



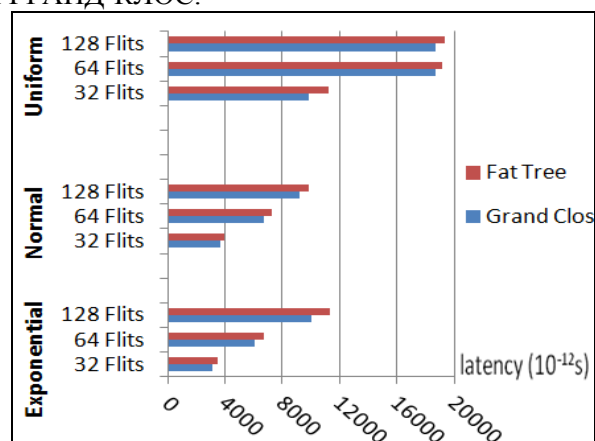
Фигура 24. Архитектура на системна мрежа за колективна комуникация ГРАНД-КЛОС



Фигура 25: Компоненти на топологията “Grand Clos”

Направени са тестове които показват, че предложенят нов архитектурен дизайн на мрежа за колективна комуникация с топология ГРАНД-КЛОС за суперкомпютри постига 15% по-ниска латентност за трите изследвани разпределения на трафика в мрежата. Това увеличение на комуникационната производителност обяснява използването на допълнителните разходи за

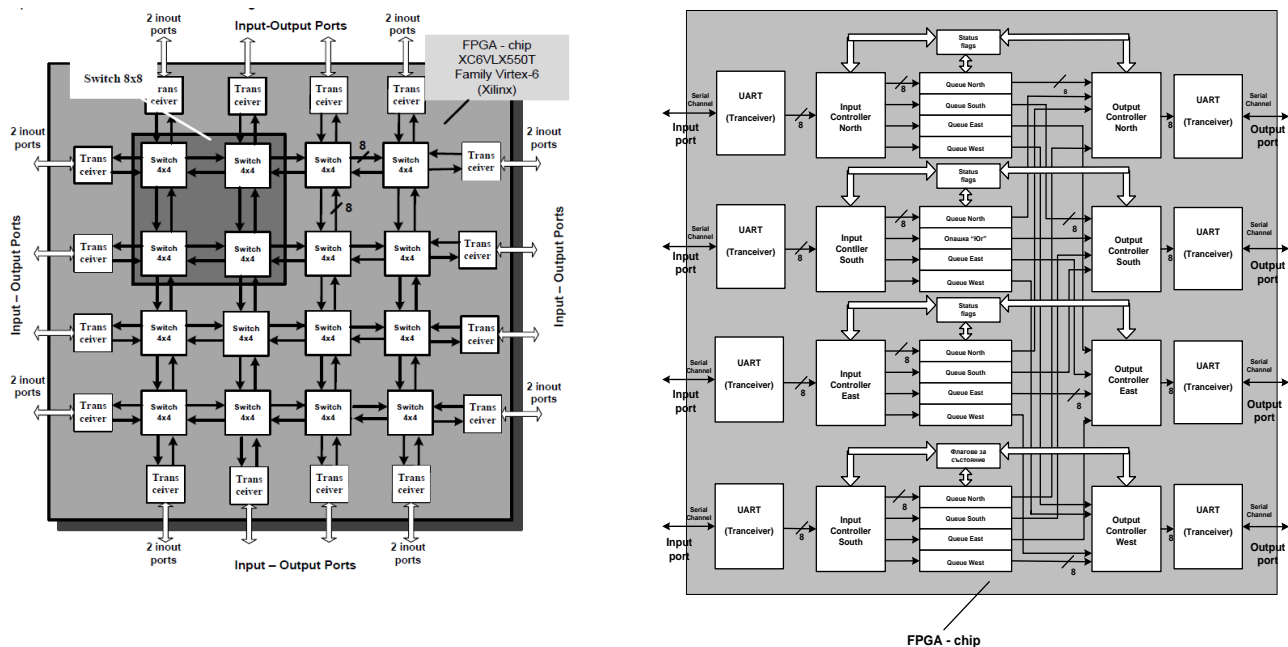
хоризонталните връзки в предложения нов архитектурен дизайн на системна мрежа за колективна комуникация с топология ГРАНД-КЛОС.



Фигура 26. Симулационни резултати за мрежи с топологии ГРАНД-КЛОС и Дебело Дърво

През изтеклите месеци на проекта са проведени срещи с представители на РП1 оглавен от ст.н.с. П. ст. Владимир Лазаров, с дискусии по задачите поставени в съответните РП и възможностите за тяхната реализация. Провеждат се регулярно срещи на екипа отговорен за РП2 към ТУ – София, с изнасяне на презентации, задълбочени дискусии и полезни коментари за постигнатите резултати. Резултати по тази задача са публикувани в [NBKA_09], [BNL_09], [BNIRM_09], [BIIG_09], [BGG_09], [BGGM_09], [NBAS_10], [BNIG_10], [BNGG_10], [BNMIF_11], [BGM_11], [BGMGA_11], [BIIG_11], [BIIMA_11], [BNIGI_11], [BNGGM_11], [BNGG_11], [BI_11], [BA_11], [BK_12], [BIF_12], [BK_12], [I_13], [BI_13].

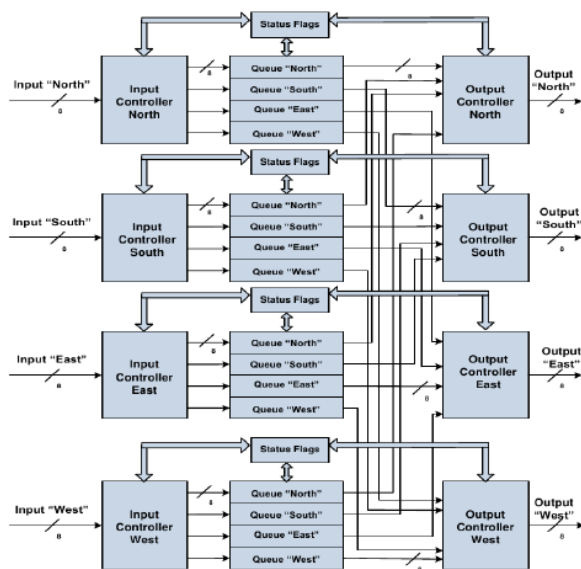
Задача 2.2: FPGA реализация на мрежата. Извършено е функционално и архитектурно проектиране на комутатор (с 4 входни и 4 изходни порта) на информационни пакети, които могат да бъдат обменяни по високоскоростни серийни канали между компютри в мултикомпютърна система с паралелна архитектура (cluster). За тази цел е използвана софтуерна развойна среда за автоматизирано проектиране WebPACK и език от високо ниво VHDL за входно описание на комутатора. Комутаторът е проектиран като мултиядрена система с разпределени RAM – памети за входни и изходни опашки с пакети. С помощта на развойната среда комутаторът е имплементиран върху програмируема свръхголяма интегрална схема (FPGA- чип). Като основни параметри на имплементацията са отчетени: 1) процентът на заетите ресурси от интегралната схема (като свободните ресурси могат да бъдат използвани за бъдещо разширение на комутатора); 2) закъснението на сигналите в комутатора, от което би могло да бъде определено бързодействието и пропускателната му способност. С цел логическа проверка на функционирането му е извършено симулиране на RTL – ниво (ниво на описание – междурегистрови прехвърляния) на имплементирания комутатор с помощта на симулатора ModelSIM. Резултати от извършените изследвания върху особеностите на архитектурата на съвременните свръхголеми програмируеми FPGA - чипове са представени в две публикации, докладвани на Международната Научна Конференция “Computer Science’09”. Тези резултати са използвани при проектирането, имплементирането и симулирането на работата на разработения комутатор върху FPGA- чип, [MD_09], [K_09], [MN_11].



Фигура 27: Структура на комутатор 32x32, имплементиран с FPGA чип (фамилия Virtex6, Xilinx)

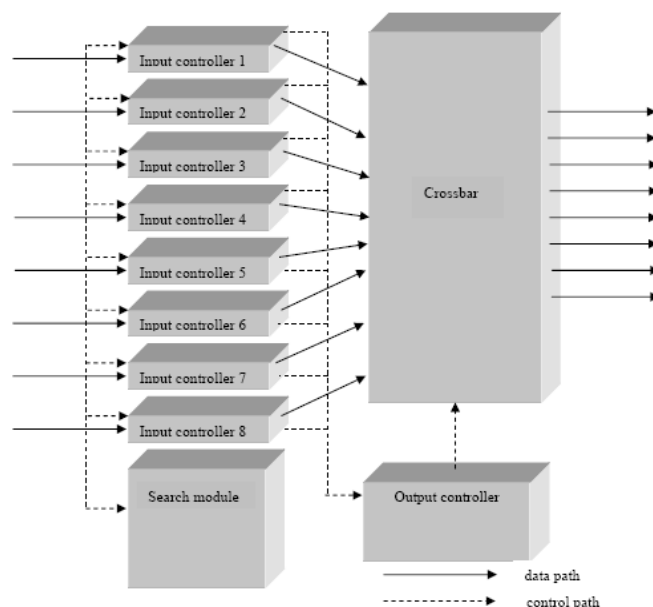
Проектирани, имплементирани върху FPGA и изследвани са два типа архитектури на рутери за високоскоростни системни мрежи. Подходите при създаването на двата типа архитектури са различни:

1) Първият тип архитектура се базира на използването на двупортови буферни RAM – памет и управляващо устройство – контролер за всеки входен и изходен порт за данни на рутера. Контролерите представляват самостоятелни системи с процесори и програмни памет, които функционират паралелно. Алгоритмите за маршрутизация, с която е натоварен рутерът, се изпълняват паралелно от програмите на контролерите за входните му портове.



Фигура 28: Архитектура на рутер с паралелни контролери и програмно управление

2) Вторият тип архитектура е изградена на базата на превключваща матрица (crossbar) и контролери за входните портове на рутера. Превключващата матрица се управлява от един единствен изходен контролер за рутера. Контролерите за входните портове и изходният контролер са реализирани като схемни управляващи устройства – крайни автомати. Управлението на маршрутизацията се извършва от допълнително включен модул в рутера, който извършва бързо търсене в таблици, организирани като контекстно – адресируема специализирана памет (TCAM).



Фигура 29: Архитектура на рутер с превключваща матрица и хардуерно управление

Използвайки развойна среда Xilinx ISE WebPACK, двата типа архитектури са проектирани и имплементирани върху FPGA – чипове от фамилията Virtex -6 на Xilinx (XC6vlx75). Получените в резултата на работата на развойната среда параметри на имплементацията като: процент на заетите ресурси на FPGA – чипа, максималната тактова честота за функционирането на устройството върху чипа, закъсненията на сигналите на имплементирания рутер се използват за оценка на имплементацията.

Създадени са симулационни модели на рутера и функционирането на предложените рутерни архитектури е симулирано, използвайки развойната среда OMNET++. Използвайки резултатите от симулацията, са оценени бързодействието и пропускателната способност на изследваните архитектури.

Използваните развойни платки с FPGA – чипове (върху които е извършена имплементацията) са свързани към компютри по серийни интерфейси така, че формират компютърен стенд за тестване и анализ на функционирането на имплементирания върху FPGA рутерни архитектури.



Фигура 30: Част от компютърен стенд за изследване на FPGA рутери

Резултатите от имплементирането върху FPGA и изследването на предложените рутерни архитектури са докладвани пред три научни конференции с международно участие: XI International Scientific Conference “ELECTRONICA 2012”, XXI International Scientific Conference “Electronics – ET2012”, XI International Conference “Challenges in Higher Education and Research in the 21th Century”, .

2. Публикации по темата на проекта, където е цитиран проект ДЦВП 02/1 (ДО 02-115/08)

а) излезли от печат:

[NBKA_09] O. Nakov, P. Borovska, N. Kuchmova, D. Andreeva, Multiprocessor-based real-time control of a moving object, 8th WSEAS Int. Conf. on Applied Computer and Applied Computational Science (ACACOS '09), 20-22 May 2009, Zhejiang University of Technology, Hangzhou, China, Proceedings, 495-499

[BNL_09] P. Borovska, O. Nakov, M. Lazarova, PARMETAOPT – Parallel Metaheuristics Framework for Combinatorial Optimization Problems, IEEE International Workshop on Intelligent Data Acquisition and Advanced Computing Systems, Technology and Applications, 21-23 September 2009, Rende (Cosenza), Italy, Proceedings, pp. 225-230

[BNIRM_09] P. Borovska, O. Nakov, D. Ivanova, A. Ruzhekov, Halil Mohamed, A Comparative Analysis of Next Generation High-End Switch Architectures, Fifth International Conference "Computer Science" 5-6 November 2009, International Workshops "Supercomputers Architecture and Applications", Technical University – Sofia, Bulgaria, Proceeding, pp. 7-12

[BIIG_09] P. Borovska, D. Ivanova, K. Ivanov, G. Georgiev, Multi-core Architectures and Streaming Applications – trends, innovations and perspectives, Fifth International Conference "Computer Science" 5-6 November 2009, International Workshops "Supercomputers Architecture and Applications", Technical University – Sofia, Bulgaria, Proceeding, pp. 13-19

[BGG_09] P. Borovska, G. Georgiev, I. Georgiev, 4x4 Switch Design and Simulation Analysis with OMNeT++, Fifth International Conference "Computer Science" 5-6 November 2009, International Workshops "Supercomputers Architecture and Applications", Technical University – Sofia, Bulgaria, Proceeding, pp. 20-25

[BGGM_09] P. Borovska, I. Georgiev, G. Georgiev, Halil Mohamed, Modelling and Simulation Environments for Network on Chip Architectures: Survey, Fifth International Conference "Computer Science" 5-6 November 2009, International Workshops "Supercomputers Architecture and Applications", Technical University – Sofia, Bulgaria, Proceeding, pp. 26-32

[K_09] A. Kuncheva, DSP algorithms in modern programmable architecture - parallelisms of implementation, Fifth International Conference "Computer Science" 5-6 November 2009, International Workshops "Supercomputers Architecture and Applications", Technical University – Sofia, Bulgaria, Proceeding, pp. 59-63

[MD_09] P. Manoilov, B. Delijsk, FPGA Parallel DSP realized by Multiprocessor System on FPGA-Chip, Fifth International Conference "Computer Science" 5-6 Sept. 2009, International Workshops "Supercomputers Architecture and Applications", Technical University – Sofia, Bulgaria, Proceeding, pp. 1-9

[NBAS_10] O. Nakov, P. Borovska, N. Angelova, F. Stoichkov, Method for Processes Parallelization on Second Level, 9-th WSEAS International Conference on Applications of Computer Engineering, Penang, Malaysia, March 23-25, 2010, Proceeding, pp. 316-319, ISBN: 978-960-474-166-3, pp. 316-319

[BNIIG_10] P. Borovska, O. Nakov, D. Ivanova, K. Ivanov, G. Georgiev, Communication Performance Evaluation and Analysis of a Mesh System Area Network for High Performance Computers, 12-th WSEAS International Conference on Mathematical Methods, Computational Techniques and Intelligence Systems (MAMECTIS'10), Kantaoui, Sousse, Tunisia, May 3-6, 2010, ISBN: 978-960-474-188-5, pp. 217-222

[BNGG_10] P. Borovska, Nakov, O., Gancheva, I., Georgiev, I., Parallel Multiple Alignment of the Influenza Virus A/H1N1 Genome Sequences on a Heterogeneous Compact Computer Cluster, Proceedings of the 9th WSEAS International Conference on software engineering, parallel and distributed systems (SEPADS '10), Cambridge, UK, 2010, pp. 50-55

[BNMIF_11] Borovska, P., Nakov O., Markov S., Ivanova D., Filipov F., Performance Evaluation of TOFU System Area Network Design for High-Performance Computer Systems, Proceedings of the European Computing Conference (ECC '11), Paris, France, April 28-30, 2011, ISBN: 978-960-474-297-4, pp. 137-141

[BGM_11] Borovska P., Gancheva V., Markov S., Parallel Performance Evaluation of Sequence Nucleotide Alignment on the Supercomputer BlueGene/P, Proceedings of the European Computing Conference (ECC '11), Paris, France, April 28-30, 2011, ISBN: 978-960-474-297-4, pp. 462-467

[BI_11] Borovska, P., Ivanova D., Communication Performance of a Recirculative Omega High-Speed System Area Network for HPC, 12th International Conference on Computer Systems and Technologies, Vienna University of Technology, Vienna, Austria, June 16 - 17, 2011, ISBN: 978-1-4503-0917-2, pp. 491-497, digital library ACM 2011 Proceeding (<http://dl.acm.org/citation.cfm?id=2023607>)

[BGMGA_11] Borovska, P., Gancheva V., Markov S., Georgiev I., Asenov E., Parallel Performance Evaluation and Profiling of Multiple Sequence Nucleotide Alignment on the Supercomputer BlueGene/P, The 6th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems: Technology and Applications, 15-17 September 2011, Prague, Czech Republic, Proceedings IEEE Catalog Number: CFP11803-PRT, ISBN: 978-1-4577-1423-8, УДК 621.3+681.3, ББК 32.97, pp.233-237

[BIIG_11] Borovska, P., Ivanova, D., Ivanov K., Georgiev G., Generalized Simulation Model of a Switch for High-Speed Interconnection Networks, International Scientific Conference Computer Science'2011, Ohrid, Macedonia, University for Information Science and Technology "St. Paul The Apostle", 01 - 03 September 2011, ISBN: 978-954-438-914-7, pp. 17-22

[MN_11] Manoilov P., Naydenov, T., FPGA - Based Switch Designed for Interprocessor Network Communications, International Scientific Conference Computer Science'2011, Ohrid, Macedonia, University for Information Science and Technology "St. Paul The Apostle", 01 - 03 September 2011, ISBN: 978-954-438-914-7, pp. 23-28

[BIIMA_11] Borovska, P., Ivanova, D., Ianakieva, V., Mitov, V., Alkaf, H., Comparative Analysis of Communication Performance Evaluation for Butterfly Bidirectional Multistage Interconnection Network Topology with Routing Table and Destination Tag Routing, International Scientific Conference Computer Science'2011, Ohrid, Macedonia, University for Information Science and Technology "St. Paul The Apostle", 01 - 03 September 2011, ISBN: 978-954-438-914-7, pp. 29-34

[BNIGI_11] Borovska, P., Nakov, O., Ivanova, D., Georgiev G., Ivanov K., Performance Evaluation of NoC for Homogeneous MPSoC with OMNeT++, International Scientific Conference Computer Science'2011, Ohrid, Macedonia, University for Information Science and Technology "St. Paul The Apostle", 01 - 03 September 2011, ISBN: 978-954-438-914-7, pp. 41-45

[BNGGM_11] Borovska P., Nakov O., Gancheva V., Georgiev I., Markov St., In Silico Biological Experiments for Investigating the Pandemic Influenza Virus A Variability, IADIS International Conference Applied Computing 2011, 6-8 November 2011, Rio de Janeiro, Brazil, ISBN: 978-989-8533-06-7, pp. 203-209

[BNGG_11] Borovska P., Nakov O., Gancheva V., Georgiev I., High Performance System Framework for Parallel in-Silico Biological Simulations, Proceedings of the Conference on Developments in e-System Engineering DESE'2011, 6-8 December, 2011, Dubai, UAE, ISBN: 978-0-7695-4593-6/11, 2011 IEEE DOI 10.1109/DeSE.2011.72, pp. 553-557

[BA_11] Borovska P., Alkaff H., Hierarchical Multi-ring SAN Architecture "Alfa Omega Highway" for High Performance Computer Clusters, Journal "Computer & Communications Engineering", Vol. 5, No. 1/2011, ISSN: 1314-2291.

[BK_12] Borovska P., Kimovski, D., „ $\alpha\Omega$ Highway” Interconnection Network Architecture for High Performance Computing, the Seventeenth IEEE Symposium on Computers and Communication (ISCC'12), July 1 - 4, 2012, Cappadocia, Turkey, ISSN: 1530-1346, Print ISBN: 978-1-4673-2712-1, PP. 000345 – 000347.

[BKH_12] Borovska P., Kimovski, D., Hristov A., Step-Back-On-Blocking Flow Control Mechanism For High Performance Interconnection Networks, Press: Challenges in Higher Education & Research, vol. 10, pp. 99-102.

[BK_12] Borovska P., Kimovski, D., „Flow Control Method for System Area Networks of High Performance Computing Systems”, Vol. 6, No. 1/2012, pp. 39- 48.

[K_12] Kimovski D., A High-Performance „Step-Back-On-Blocking“ Router Architecture For System Area Interconnection Networks, Computer and communications engineering, Vol. 6, No. 2/2012, ISSN: 1314-2291, pp. 47- 54.

[NM_12] Naydenov T., Manoilov P. “ROUTER ARCHITECTURES FOR INTERCONNECTION NETWORKS”, ELECTRONICS papers, ISSN 1313-3985, 2012, pp. 29-34.

[NM_12] Naydenov T., Manoilov P. “FPGA Implementation of XR Router for Alpha Omega Highway SAN”, ANNUAL JOURNAL OF ELECTRONICS, 2012, ISSN 1314-0078, pp. 165-168.

[I_13] Ivanova D., System area network architecture for collective communication “Grand-Clos” in supercomputers, 2013, ISSN 1314-9024, pp. 67-72.

[BI_13] Architectural Design of Grand Clos Collective Network for Supercomputers, Proceeding “Recent Advances in Computer Science”, Rhodes Island, Greece, July 16-19, 2013, ISBN: 978-960-474-311-7, pp. 146 – 151, <http://www.wseas.us/e-library/conferences/2013/Rhodes/COMPUTE/COMPUTE-24.pdf>

б) изпратени за публикуване

[MN_13s] Manoilov P. Naydenov T., NETWORK ON CHIP, DESIGNED AND IMPLEMENTED ON FPGA, Challenges in Higher Education & Research, Vol. 11, Sozopol 2013

в) в процес на подготовка

[BK_12p] Routing Algorithm SBB for System Area Networks of High Performance Computer Clusters

3. Презентации и доклади в рамките на проведени вътрешни срещи в ТУ – София

В рамките на проекта се провеждат регулярни вътрешни срещи за екипа към ТУ- София отговорен за РП2 на които се представят и дискутират проучванията и постигнатите резултати, по темите: Системни комуникационни мрежи, суперкомпютърни архитектури, топологии на системни мрежи за суперкомпютри, комутатори за суперкомпютри и др.

4. Други

[1] Организационно финансови дейности: Договор за съфинансиране No:091-CH-001-09 от 10.06.2009г.;

[2] Закупуване на техника по РП2;

[3] Адаптация и допълнение на учебното съдържание на курс по Високопроизводителни Компютърни Системи, курс по Паралелни Програмиране и курс по Метаевристика към ФКСУ, ТУ-София (Пламенка Боровска, Десислава Иванова);

[4] Допълнителни дейности по разпространяване и популяризиране на резултатите в рамките на:

а) Международен научен семинар “Суперкомпютърни архитектури и приложения” и изнасяне на доклади в рамките на Петата международна научна конференция „Компютърни науки’2009” – 05-06.11.2009г., която се организира под непосредственото ръководство на катедра “Компютърни системи” към Технически Университет – София.

б) Участие в научен семинар по “Суперкомпютърни архитектури и приложения”, Велинград 19-21.03.2010 и изнасяне на доклади в рамките на семинара, който бе организиран от кординатора на проекта „SuperCA++”, проф. Св. Маргенов.

в) Участие в регионалната конференция “Supercomputing Applications in Science and Industry”, Слънчев бряг, 20-21.09.2011 г. и изнасяне на доклади в рамките на семинара, който бе организиран от кординатора на проекта „SuperCA++”, проф. Св. Маргенов.

г) Популяризиране на проекта „SuperCA++” в списание "COMPUTER & COMMUNICATIONS ENGINEERING", проф. Пламенка Боровска.

д) Популяризиране на проекта „SuperCA++” в списание „Автоматика и Информатика”, бр.3/2011.

е) Организиране и провеждане на Международен научен семинар “Суперкомпютърни архитектури и приложения” и изнасяне на пленарни доклади, представящи научните резултати в рамките на Шестата международна научна конференция „Компютърни науки’2011” – 01-03.09.2011г., Охрид, Македония.

ж) Изготвяне и излъчване на филм с резултатите постигнати по РП2 и популяризиране на проекта „SuperCA++” в рамките на организирания Happening: “Supercomputer Challenger”, насочен към популяризиране на суперкомпютърните архитектури и приложения в средните професионални гимназии по „Компютърни системи и технологии”, проведен в Правец на 29.03.2012 г.

з) Популяризиране на проекта „SuperCA++” в телевизионно предаване „Кариера” по канал TV Европа.

и) Популяризиране на проекта „SuperCA++” в радиопредаване „Към Върха” по ДАРИК радио.