

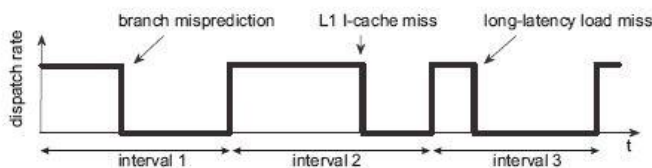
## РП1: Високопроизводителни компютърни архитектури в областта на PetaFLOPS с използване на многоядрени процесори

### 1. Основни дейности и резултати

#### Задача 1.1: Архитектура на възела на PetaFLOPS суперкомпютъра.

В съответствие със задача 1.1. беше проведена серия от изследвания по оценка производителността на мултипроцесорни хетерогенни архитектури с използване на потребителски и системни метрики. Тестовите бяха проведени с използване на нова симулационна техника – интервална симулация и симулатор на компютърни архитектури, базиран на тази техника. Оценката е изпълнена чрез мултипрограмно многонишково натоварване, конструирано с използване на програмни смеси от два широко известни бенчмарк системи – PARSEC /Университета в Принстън/ и SPLASH2 /Станфордския университет/. Експериментите сравняват хетерогенния архитектурен модел с един от най-разпространените и популярни модели - мултипроцесорния (CMPs). Хетерогенният вариант комбинира производителността на мулти-ядрения с простотата на много-ядрения вариант в нов вид архитектура. Хетерогенността може да бъде изразена по различни начини. Като пример може да се разгледа използването на GPUs заедно с CPUs. В този случай изчислителните елементи са хомогенни, но системата като цяло е хетерогенна.

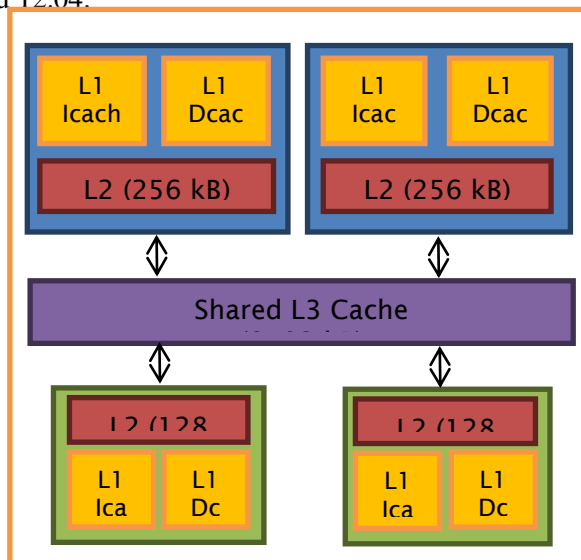
Интервалната симулация е наскоро предложен метод на изследване на мулти-ядрени и много-ядрени конфигурации. Той се основава на процесорния модел out-of-order. Използвайки интервална симулация процесът на анализ на производителността може да бъде съществено ускорен. Интервалният модел се базира на факта, че процесът на изпълнение на инструкциите се прекъсва само от събития /miss events/ със специфична продължителност.



Такива събития могат да бъдат: невярно предсказан преход, непопадение в кеш от първо ниво, забавяне поради дълго зареждане и т.н.

Sniper е мулти-ядрен архитектурен симулатор, основан на интервалния метод, който моделира времената на индивидуалните ядра. Симулаторът поддържа „прозорец“ от инструкции за всяко симулирано ядро, който съответства на ROB буфера в суперскаларните процесори. Прекъсващите събития се определят с помощта на прозореца и специално внимание се отделя на припокриващи се събития с различна продължителност.

И двата сайта предоставят смеси главно с многонишкова насоченост и покриват различни области на приложения. Експерименталните резултати са получени с използване на Sniper, работещ върху 2-ядрен Intel i3 процесор с две допълнителни виртуални ядра, 8 Gb RAM, 3 Mb LLC с инсталиран Linux Ubuntu 12.04.

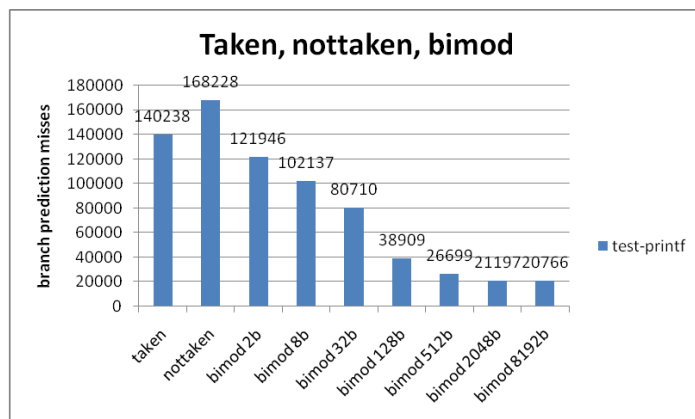


Изследваните конфигурации са показани в таблицата. Получени са голям набор от графични резултати, които позволяват да се направят редица изводи, свързани с характеристиките на двете сравнявани архитектури. Тези резултати са база за следващи експерименти, насочени към по-детайлно изследване на многонишковите архитектури.

Table

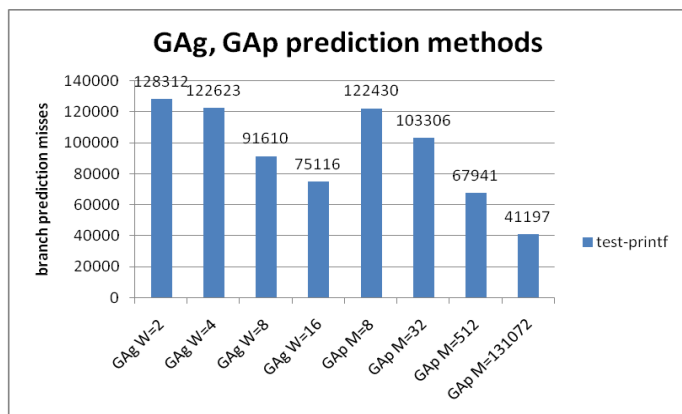
Heterogeneous base (het-base)	
L1 I-cache	16,16,32,32
L1 D-cache	16,16,32,32
L2 Cache	128,128,256,2
L3 Cache	56 8192
Heterogeneous 64k L1 (het-64k)	
L1 I-cache	32,32,32,32
L1 D-cache	32,32,32,32
L2 Cache	256,256,256,2
L3 Cache	56 8192
Heterogeneous 512k L2 (het-512k)	
L1 I-cache	32,32,32,32
L1 D-cache	32,32,32,32
L2 Cache	512,512,256,2
L3 Cache	56 8192
Homogeneous (gen)	
L1 I-cache	32
L1 D-cache	32
L2 Cache	256
L3 Cache	8192

Друг важен кръг от въпроси, изследвани в рамките на РП1 са свързани с оценка на методите за статично и динамично предсказване на преходите и тяхното сравняване. Бяха използвани два архитектурни симулатора - Simple Scalar и Advanced Branch Prediction Simulator.

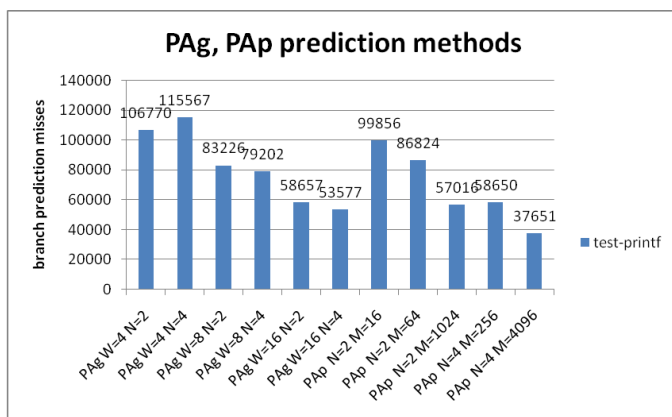


Статичните методи за предсказване на преходите са показват, че при предположението преходът винаги е направен, броят на грешните предсказания е по-малък. Бимодалният предсказател е първият метод за динамично предсказване и дава по-добри резултати от статичното предсказване. В

този случай ние изследваме влиянието на размера на таблицата на историята на преходите. Резултатите показват, че увеличение на таблицата до 2 Кб намалява грешните предсказания.



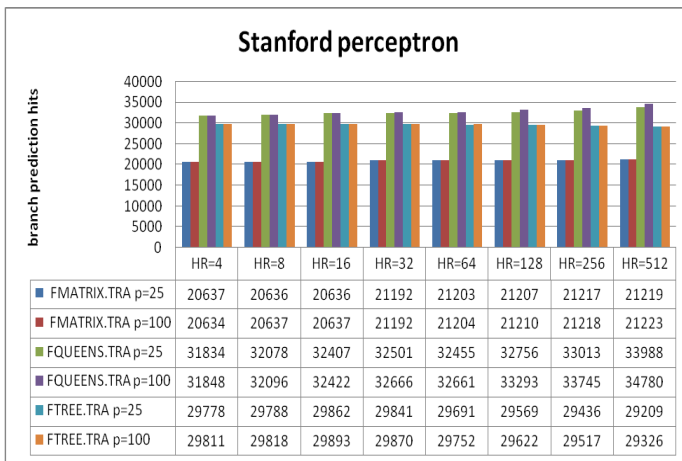
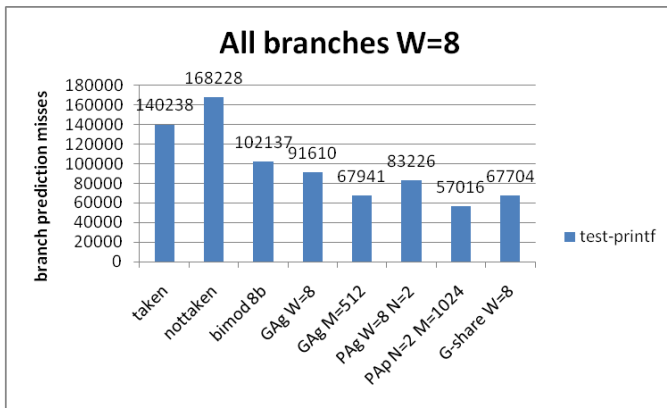
Фигурата показва първите два метода за предсказване GAg и GAp. Както се вижда GAp дава по-добри резултати от GAg, защото при последния имаме глобален регистър и глобална таблица за история на преходите, докато при GAp имаме една таблица за всеки адрес.



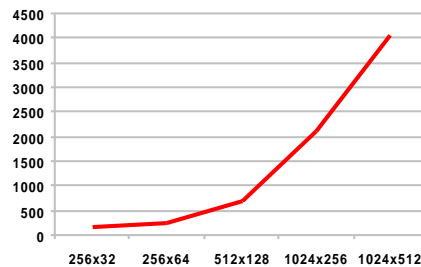
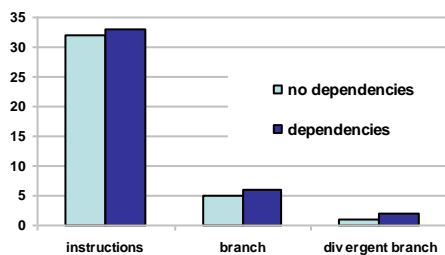
При PAG метода за предсказване регистъра съдържа информация за последните k прехода за всеки адрес и таблицата за история на преходите е обща. При PAp метода имаме индивидуални регистри и таблица за история на преходите за всеки адрес. Както е показано на фигурата вторият метод със собствени регистър и таблица на преходите е по-добър и достъпът се осъществява по-бързо.

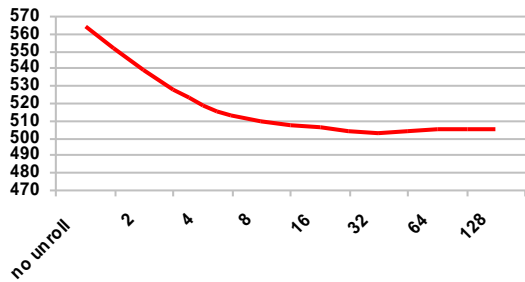
В следващата фигура е показано сравнение на различните методи за предсказване на преходите, като е добавен и метода Gshare, който е сравнително нов и показва един от най-добрите резултати заедно с PAp.

В последната фигура е показан един от модерните методи за предсказване. В Станфордските тестове с нарастващ размер на регистъра за историята на преходите се наблюдава нарастване на броя на попаденията при нарастване броя на персептроните и използване на широк регистър.



Третото направление на изследванията по тази задача е оценка на зависимостите по данни в многонишковите приложения. Модерните хетерогенни архитектури включват съвременни изчислителни устройства с големи мулти-нишкови възможности. За съжаление не всички приложения използват тези възможности в пълен обем вследствие на сложността или спецификата на прилаганите алгоритми. Една от причините, произтичаща от естественото изпълнение на алгоритмите, е зависимостта по данни. Главната цел на изследването е да предостави резултати от областта на зависимостите по данни в мулти-нишкови паралелни приложения и да покаже влиянието на тези зависимости върху дадени приложения. В следващите фигури са показани част от тези резултати, получени при експерименти в три области от приложения: паралелни уравнения на синусоидалната вълна, CFD симулация и N-body симулация. Бяха използвани две компютърни конфигурации: Intel Core i7 с два графични ускорителя NVIDIA модел GTX295 с 480 CUDA ядра; Intel Core i3 с графични ускорители AMD Radeon HD4300 с 80 Stream ядра.

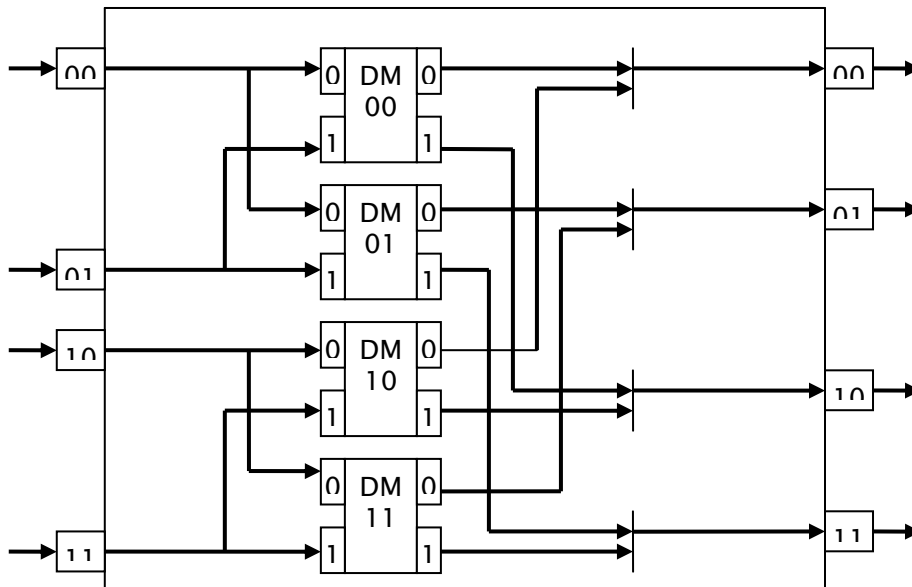




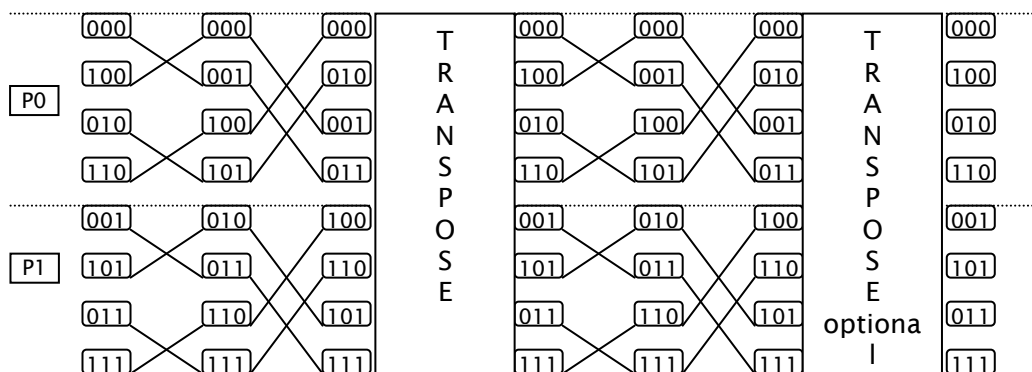
.Резултатите по тази задача са получени с участието на В. Лазаров, М. Маринова, Т. Маринов, Д. Гърневски, Г. Димова, М. Графова, П. Димитрова и са публикувани в работи [M\_12], [MLD\_12a], [MGL\_13], [LGM\_13a], [M\_13a], [DML\_13a] и [MLD\_13a].

### **Задача 1.2: Йерархична архитектура на PetaFLOPS суперкомпютър.**

В изпълнение на дейностите по задачата усилията бяха насочени към определяне на оптимална структура на свързване на отделните възли, с ориентация към различни дървовидни архитектури. При изследванията беше анализирано влиянието на различните структури върху пропускателната способност и взаимните блокировки между възлите на компютъра. Специално внимание беше отделено на проблема за латентността при достъп до отдалечена информация. Изследванията са извършени аналитично и чрез компютърни симулации. За БПФ са известни два типа естествени архитектури – директен и индиректен хиперкуб. Развитието на концепцията „индиректен хиперкуб” не е завършено. В този смисъл изследването на бързата трансформация на Хартли е много важно. Тези алгоритми имат нерегулярна изчислителна структура и нашите изследвания са насочени към постигане на следващо развитие на концепцията „хиперкуб”. Основно са разгледани варианти на паралелни архитектури за Radix-2 на бързото преобразуване на Фурие. На фигурата е показана структурата на свързващата мрежа.



Главното направление е анализ на транспозиционните алгоритми. Изследванията доказват, че транспозиционните модули, използвани в БПФ алгоритмите, с малки изменения могат да бъдат използвани ефективно.



На фигурата са показани 16 подредени RFFT/FHT точки на 2 процесора (2D транспозиционен алгоритъм). Предложеният метод комбинира предимствата на транспозиционния модел за БПФ алгоритми /минимизиране на комуникацията и простота на подхода/ с предимствата на реалните БПФ алгоритми /двойно намаляване на паметта и операционните изисквания/.

Резултатите по тази задача са получени с участието на Вл. Лазаров и Ф. Филипов и са публикувани в работи [F\_12], [LF\_12], [FL\_13a].

### ***Задача 1.3: Архитектура на входно-изходната подсистема във модула на суперкомпютъра.***

В изпълнение на дейностите по задачата усилията са насочени към определяне на видовете входно-изходни портове, видовете входно-изходни процесори и разпределянето на функциите между изчислителната и комуникационната част във модула. Определени са симулационните техники и средства, с помощта на които се провеждат изследванията, а така също и специфичният хардуер, необходим за ускоряване на експериментите. Резултатите от направените изследвания са в напреднал стадий и по тях е подготвена една работа, която предстои да бъде подадена за публикуване.

## **2. Публикации по темата на проекта, където е цитиран проект ДЦВП 02/1**

### ***а) излезли от печат:***

1. [MGL\_13] M. Marinova, M. Grafova, V. Lazarov. Simulation tools for evaluating of behavior of different techniques for branch prediction in modern processor architectures. Proceedings of ICACSE 2013: International Conference on Applied Computer Science and Engineering, Barcelona, WASET, Issue 74, p.894-p898, February 2013.
2. [M\_12] M. Marinova. Evaluation of Data Dependencies in Multithreading Applications. Proceedings of the Second International Conference "Education, Science, Innovations" (ESI'12), European Politechnical University, ISSN 1314-5711, pp. 193-196, Pernik, June 9-10.2012.
3. [F\_12] Ph. Philipov. A Parallel Real-Valued FFT Transpose Algorithm. Proceedings of the Second International Conference "Education, Science, Innovations" (ESI'12), European Politechnical University, ISSN 1314-5711, pp. 181-191, Pernik, June 9-10.2012.
4. [LF\_12] V. Lazarov, Ph. Philipov. Investigation of the *Indirect Hypercube* as a Natural Architecture for FFT/RFFT/FHT Parallel Algorithms of Transpose Type. Proceedings of the Second International Conference "Education, Science, Innovations" (ESI'12), European Politechnical University, ISSN 1314-5711, pp. 235-254, Pernik, June 9-10.2012.

### ***б) приети за печат***

1. [MLD\_12a] M. Marinova, V. Lazarov, G. Dimova. Performance Evaluation of Heterogeneous Microprocessor Architectures. Journal „Information Technologies and Control“.
2. [FL\_13a] F. Filipov, V. Lazarov. Indirect Hypercube as a Natural Architecture for Sine and Cosine

Realization. International Conference “Education, Science, Innovation” (ESI’13), European Politechnical University, Pernik, 2013.

3. [M\_13a] M. Marinova. Evaluation of Thread Architectures using Interval Simulation. International Conference “Education, Science, Innovation” (ESI’13), European Politechnical University, Pernik, 2013.
4. [DML\_13a] Petya Dimitrova, Maria Marinova, Vladimir Lazarov. Trace-Driven Simulator for research of cache memories parameters. International Conference, „45 Years TU-Varna“, September, 2013.
5. [MLD\_13a] Maria Marinova, Vladimir Lazarov, Petia Dimitrova. Simulation tools for evaluating the performance of cache systems for educational purposes. International Conference, „45 Years TU-Varna“, September, 2013.
6. [LGM\_13a] V. Lazarov, D. Gurnevski, M. Marinova. Evaluation of Instruction Dependencies in Multithreaded Application executed on heterogeneous architectures. Списание „Компютърни системи и технологии“ на ТУ-София.

### **3. Други**

- [1] Организационна дейност: участие в заседания на Оперативния комитет (В. Лазаров) и в оперативна група за организация на работата по РП1, РП3 и РП4 (С. Маргенов, И. Димов, В. Лазаров, К. Георгиев).
- [2] Участие в Семинара по Проекта в гр. Трявна.
- [3] Адаптация и допълнение на учебното съдържание на курс по Високопроизводителни компютърни архитектури към ЦУ на БАН, НБУ и ЕПУ (Пернишки политехнически университет) - В. Лазаров, М. Маринова.
- [4] Допълнителни дейности по разпространяване и популяризиране на резултатите по работния пакет.