

## **РП1: Високопроизводителни компютърни архитектури в обхвата на PetaFLOPS, базирани на многоядрени процесори**

### **1. Основни дейности и резултати**

**Задача 1.1: Архитектура на възела на PetaFLOPS суперкомпютъра.** В съответствие със задача 1.1. е определен работен вариант на архитектура на възела на суперкомпютъра, описващ броя на процесорите, структурата на паметта и нейната йерархия, видовете входно/изходни портове. Основните усилия бяха насочени към разпределяне на изчислителните операции между процесорите и паметта, определяне на структурата на кеша и усъвършенстване на протоколите за кохерентност при многопроцесорна работа с обща памет, разделени кешове между процесорите и въвеждане на изчислителни ресурси в паметта.

Извършени са голям брой компютърни симулации, като са използвани както съществуващи пакети за архитектурна симулация, така и собствени разработки на специализирани модели и симулатори. Получените резултати са документирани в една статия в сп. Information Technologies and Control /PIM – Memory Modules with increased Performance and Intelligence/, един доклад на международна конференция в София – АИ'09 /Analytic Evaluation of Heterogeneous Shared-memory Multiprocessors/ и един доклад, подготвен за представяне на научен форум / Research of System Characteristics and Parameters for Multithreading Processors through Simulation/. Резултатите по тази задача са получени с участието на Вл. Лазаров, М. Маринова, Т. Ташев, Св. Ташев.

**Задача 1.2: Дървовидната архитектура на PetaFLOPS суперкомпютъра.** В изпълнение на дейностите по задачата усилията бяха насочени към определяне на оптимална структура на свързване на отделните възли, с ориентация към различни дървовидни архитектури. При изследванията бяха анализирани влиянието на различните структури върху пропускателната способност и взаимните блокировки между възлите на компютъра. Специално внимание беше отделено на проблема за латентността при достъп до отдалечена информация. Изследванията са извършени аналитично и чрез компютърни симулации.

Получените резултати са документирани в една статия в сп. Information Technologies and Control /Implementation of a Parallel Architecture for Radix-2 FFT/. Резултатите по тази задача са получени с участието на Вл. Лазаров, М. Маринова, Ю. Зидарова.

### **2. Публикации по темата на проекта, където е цитиран проект ДО 02-115/08**

#### **а) излезли от печат:**

[PCLZI\_09] Ph. Philipov, I. Costov, V. Lazarov, Z. Zlatev, M. Ivanova. Implementation of a Parallel Architecture for Radix-2 FFT, Journal Information Technologies and Control, Year VI, Nr. 2 (2009), ISSN: 1312-2622, 12-16.

[LZPI\_09] V. Lazarov, Z. Zlatev, Ph. Philipov M. Ivanova. Analytic Evaluation of Heterogeneous Shared-memory Multiprocessors, International Conference Automatics and Informatics'09 (2009), Proceedings, ISSN: 1313-1850, vol. I, 1-4.

[TTT\_09] T. Tashev, S. Tashev, N. Tasheva. PIM – Memory Modules with increased Performance and Intelligence, Journal Information Technologies and Control, Year VII, Nr. 3 (2009), ISSN: 1312-2622, 17-22.

#### **з) в процес на подготовка**

[LMM\_09p] V. Lazarov, M. Marinova, T. Marinov. System Characteristics and Parameters Evaluation for Multithreading Processors through Simulation.

### **3. Други**

[1] Организационно финансови дейности: Провеждане на периодични сбирки на Оперативния комитет. Създаване на оперативна група за организация на работата по РП1, РП3 и РП4 (С. Маргенов, К. Боянов, В. Лазаров, К. Георгиев).

- [2] Закупуване на техника по РП1 (В. Лазаров, М. Маринова, Т. Ташев, Св. Ташев, Ю. Зидарова).
- [3] Определяне на конфигурацията на работното място за FPGA проектиране и закупуване на необходимите средства (В. Лазаров, М. Маринова, Т. Ташев, Св. Ташев, Ю. Зидарова).
- [4] Подготовка на спецификация и закупуване на софтуер по РП1 (В. Лазаров, М. Маринова, Т. Ташев, Св. Ташев).
- [5] Адаптация и допълнение на учебното съдържание на курс по Високопроизводителни компютърни архитектури към ЦУ на БАН и НБУ (В. Лазаров, М. Маринова).